

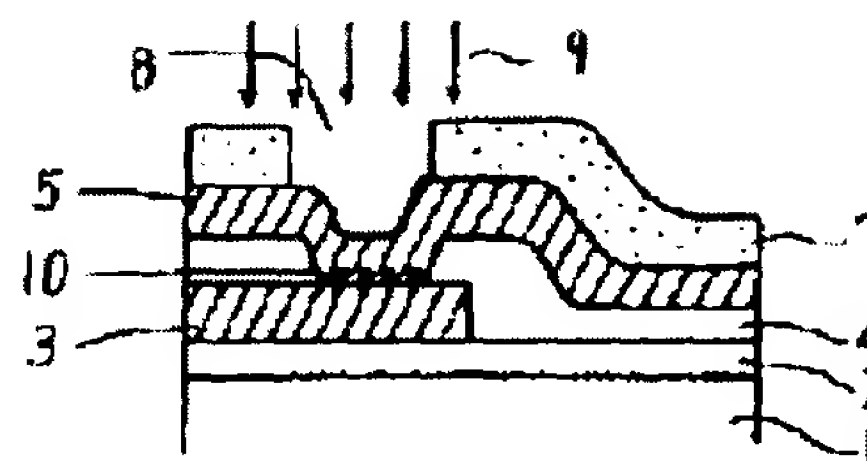
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP4072744
Publication date: 1992-03-06
Inventor: SHIRAKAWA YOSHIMI; IGARASHI TAKASHI; MORI HARUHISA
Applicant: FUJITSU LTD
Classification:
- international: **H01L21/768; H01L21/70;** (IPC1-7): H01L21/90
- european:
Application number: JP19900186238 19900713
Priority number(s): JP19900186238 19900713

[Report a data error here](#)

Abstract of JP4072744

PURPOSE: To avoid troubles, such as a reduction in efficiency due to an augmentation in an inter-wiring contact resistance, a disconnection and the like, and to improve the yield of the manufacture of a semiconductor device and the high reliability of the device by a method wherein an upper layer wiring, which comes into contact to a lower layer wiring through an opening, is formed on an insulating layer and the ions of a substance, which does not augment the resistances of the upper and lower layer wiring, are selectively implanted in the vicinity of the contact interface between the wiring. **CONSTITUTION:** An insulating layer 2 consisting of SiO₂ is formed on the surface of a substrate 1 consisting of a silicon wafer, for example, and a lower layer wiring 3 consisting of aluminium (Al) is formed on the layer 2. Moreover, an interlayer insulating layer 4 consisting of SiO₂ is deposited and a contact hole, through which the wiring 3 is exposed, is formed in the layer 4. An upper layer wiring 5 consisting of Al is formed on the layer 4. The layer 5 comes into contact to the wiring 3 through the contact hole. A resist layer 7 is applied on the wiring 5, a patterning is performed and an opening 8 is formed. Then, ions 9 of a substance, which does not augment the resistances of the wiring 3 and 5, are implanted in the opening 8. In the case wiring 3 and 5 consist of Al, it is suitable to use Al where the ions as the ions 9.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-72744

⑬ Int. Cl.³
H 01 L 21/90

識別記号 庁内整理番号
A 6810-4M

⑭ 公開 平成4年(1992)3月6日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-186238

⑰ 出 願 平2(1990)7月13日

⑱ 発 明 者 白 川 良 美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 五 十 嵐 崇 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 森 治 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 井 桁 貞一

明 細 書

1 発明の名称

半導体装置の製造方法

2 特許請求の範囲

下層配線と該下層配線を覆う絶縁層とを基板上に順次形成する工程と、

該下層配線の一部を表出する開口を該絶縁層に形成する工程と、

該開口を通じて該下層配線と接触する上層配線を該絶縁層上に形成する工程と、

該上層および下層配線の抵抗を増大させない物質のイオンを該上層および下層配線の接触界面近傍に選択的に注入する工程
とを含むことを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

(要 要)

半導体装置における多層配線の形成方法に関し、
下層配線表面に残留する有機物や自然酸化膜等

の汚染物質による多層配線間の接触抵抗の増大を防止することを目的とし、

下層配線と該下層配線を覆う絶縁層とを基板上に順次形成し、該下層配線の一部を選択的に表出する開口を該絶縁層に形成し、該開口を通じて該下層配線と接触する上層配線を該絶縁層上に形成し、該上層および下層配線の抵抗を増大させない物質のイオンを該上層および下層配線の接触界面近傍に選択的に注入する諸工程を含むように構成する。

(産業上の利用分野)

本発明は、半導体装置における多層配線の形成方法に係り、とくに、多層配線間の接触抵抗を低減する方法関する。

(従来の技術)

半導体装置の高集積化および高性能化に伴って多層配線が必須となりつつある。これは、高集積度・高性能の半導体装置に必要な高密度配線

における配線幅の縮小が、配線抵抗や電流密度の観点から限界を生じるためである。

〔発明が解決しようとする課題〕

一方、配線の多層化にともなって、配線相互間の接触抵抗の影響が無視できなくなる。配線間の接触抵抗を増大させる主な要因は、コンタクトホール内に突出する下層配線の表面に存在する有機物の残渣および自然酸化膜である。上記有機物残渣の主な成因は、層間絶縁層にコンタクトホールを形成する際のマスクとして用いられるレジスト層が、その除去工程において配線表面に付着することによる。また、例えばアルミニウムから成る配線が大気に触れることによって、その表面に数10Å程度の自然酸化膜が容易に形成されることは周知のとおりである。

上記のような理由による接触抵抗の増大は、配線幅が縮小し、配線相互の接触面積が小さくなるのにもともなっており、前記半導体装置の性能に影響するのみならず、動作中におけるアルミ

ニウムのマイグレーションを促進し、断線不良等の信頼性に関わる問題を生じる。

本発明は、レジスト層除去工程を含む従来の個々の製造工程に変更を加えることなく、多層配線における前記要因にもとづく接触抵抗の増大を防止可能な方法を提供することを目的とする。

〔課題を解決するための手段〕

上記目的は、下層配線と該下層配線を覆う絶縁層とを基板上に順次形成する工程と、該下層配線の一部を突出する開口を該絶縁層に形成する工程と、該開口を通じて該下層配線と接触する上層配線を該絶縁層上に形成する工程と、該上層および下層配線の抵抗を増大させない物質のイオンを該上層および下層配線の接触界面近傍に選択的に注入する工程とを含むことを特徴とする本発明に係る半導体装置の製造方法によって達成される。

〔作用〕

従来とおりの工程にしたがって、層間絶縁層に

コンタクトホールを形成し、このときに用いられたレジストマスクを除去し、上層配線を形成する。そのうち、コンタクトホール内における下層配線と上層配線の接触界面近傍に、例えばこれら配線と同一物質のイオンを注入する。この注入イオンによって、上層配線を構成する物質の原子が反映される。その結果、レジストの残渣や自然酸化膜等の汚染物質の層構造が破壊されるとともに、接触界面において配線構成原子の混合が生じる。このようにして、上記汚染物質に起因する接触抵抗の増大が防止される。

〔実施例〕

第1図は本発明の実施例説明図であって、通常の工程にしたがって、例えばシリコンウエハから成る基板1の表面に、 SiO_2 から成る絶縁層2を形成し、絶縁層2上に、アルミニウム(Al)から成る厚さ約 $1\mu\text{m}$ の下層配線3を形成する。さらに、下層配線3を覆う SiO_2 から成る層間絶縁層4を堆積し、層間絶縁層4に、下層配線3を突出するコ

ンタクトホールを形成する。そして、層間絶縁層4上に、Alから成る厚さ約 $1\mu\text{m}$ の上層配線5を形成する。上層配線5は層間絶縁層4に設けられた前記コンタクトホールを通じて下層配線3と接触している。

上記において、層間絶縁層4に対する前記コンタクトホールの形成は、通常、このコンタクトホールに対応する開口が設けられたレジストマスクを層間絶縁層4上に形成して行う。そして、コンタクトホール形成後、アッシング装置内においてレジストマスクを除去し、さらに、基板1を酸溶液やアルカリ溶液に浸漬し、コンタクトホールの側壁に付着しているAlや、アッシング時にレジストが分解して生成してコンタクトホール内における下層配線3表面に付着している有機物を除去する。しかし、これらの工程において、上記付着物が完全に除去されない場合がある。また、上記除去工程後に、下層配線が大気に曝されるため、表面に自然酸化膜が生じることが避けられない。

本発明においては、上記のようにして上層配線

5を形成したのち、上層配線5上にレジスト層7を塗布し、レジスト層7をパターンニングして、前記コンタクトホールに対応する領域を表出する開口8を形成する。次いで、開口8内に、下層配線3および上層配線5の抵抗を増大させない物質のイオン9を注入する。下層配線3および上層配線5がAlから成る場合には、イオン9はAlイオンを用いるのが好適である。

第2図は、Al層中にイオン注入されたAl原子の分布を示すグラフであって、Alイオンの加速エネルギーが800keV、ドーズ量が 1×10^{18} 原子/cm²の場合である。同図の横軸は表面からの深さ(Å)、縦軸は、左側が濃度(原子/cm³)、右側が原子数の割合を示す。図から分かるように、表面から約12000Å(1.2 μm)の深さに濃度のピークが位置し、見掛け上、注入原子の約40%が上層配線5を貫通して下層配線3に達する。この中には、Alイオンによる反跳Al原子が含まれている。また、最大深さは17000Å(1.7 μm)近傍に位置し、注入原子は下層配線3を貫通しない。なお、レジスト

層7は、層間絶縁層4上の上層配線5に対するイオン9の注入を防止する目的で設けられる。すなわち、上層配線5から層間絶縁層4中への原子の反跳によって上層配線5の実効的厚さが減少し、高抵抗となるのを防ぐためである。

上記イオン9の注入により、下層配線3と上層配線5界面を横切ってAl原子の移動が生じ、この界面に存在する前記有機物や自然酸化膜等の汚染物質層が破壊され、上層配線5と下層配線3の界面におけるAl原子が混じり合い、相互の接触抵抗が低下する。第1図における符号10は、上記のようにして移動するAl原子を模式的に示す。

従来は、上記のような汚染物質の影響を低減するために、上層配線5を形成後に、基板1を400℃に加熱して、配線間の接触界面における原子の相互拡散を起こさせる方法が用いられていたが、熱処理温度の限界等により、十分な効果が得られていなかった。これに対して、本発明は、イオンの運動エネルギーによって原子の移動を生じさせるため、常温ないし従来より低い熱処理温度で低

接触抵抗が実現できる。

なお、上記において、イオン9の加速エネルギーを、第2図における分布の最大深さが上層配線5の厚さより大きくなるような値に設定すれば、本発明の効果が生じ始める。また、イオン9の種類としては、下層配線3および上層配線5の抵抗を増大させない物質であれば、Alに限定されるものではない。また、下層配線3および上層配線5が異なる材料から成る場合にも、これら配線材料に応じて注入イオンの種類を選択すればよい。

〔発明の効果〕

本発明によれば、多層配線を用いて成る高集積度または高性能の半導体装置における配線間の接触抵抗の増大による性能低下や動作中における断線等の障害を回避可能となり、この種の半導体装置の製造歩留りおよび高信頼性を向上する効果がある。

4 図面の簡単な説明

第1図は本発明の実施例説明図、

第2図はAl層中に注入されたAlイオンの分布を示すグラフ

である。

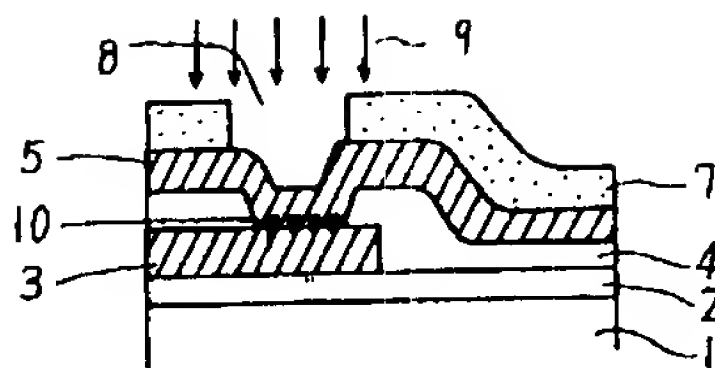
図において、

- 1は基板、 2は絶縁層、 3は下層配線、
- 4は層間絶縁層、 5は上層配線、
- 7はレジスト層、 8は開口、 9はイオン、
- 10は移動原子

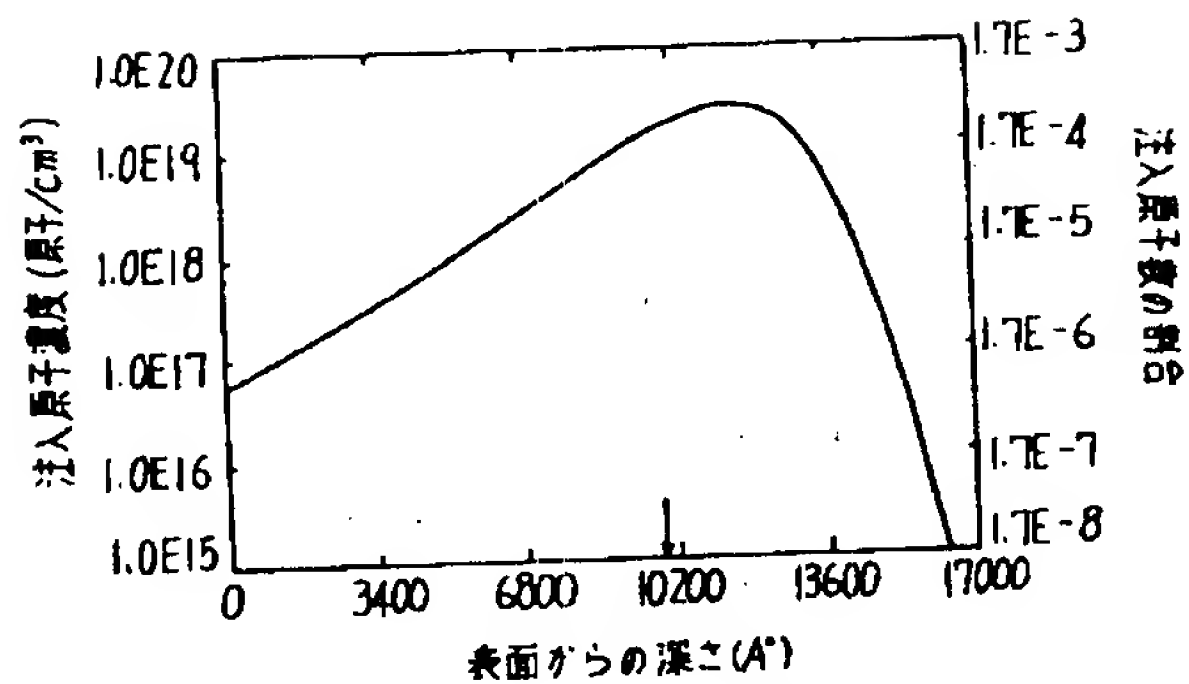
である。

代理人 弁理士 井 術 真





本発明の実施例説明図
第1図



Al層中に注入されたAl原子の分布
第2図